

ABSTRACT

A variable-gain amplifier has distortion characteristics (IIP3) improved when the gain is attenuated without impairing characteristics with respect to a gain PG and a noise figure NF when the gain is maximum. The variable-gain amplifier has a plurality of parallel-connected dual-gate FETs having first FETs (6), (8) having gates for being supplied with an input signal and second FETs (7), (9) connected in cascade to the first FETs (6), (8), respectively. Gate control voltages (Vcon1, Vcon2) can separately be applied to the second FETs (7), (9), respectively, from voltage control means.

(12)特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局



(43) 国際公開日
2004 年 4 月 1 日 (01.04.2004)

PCT

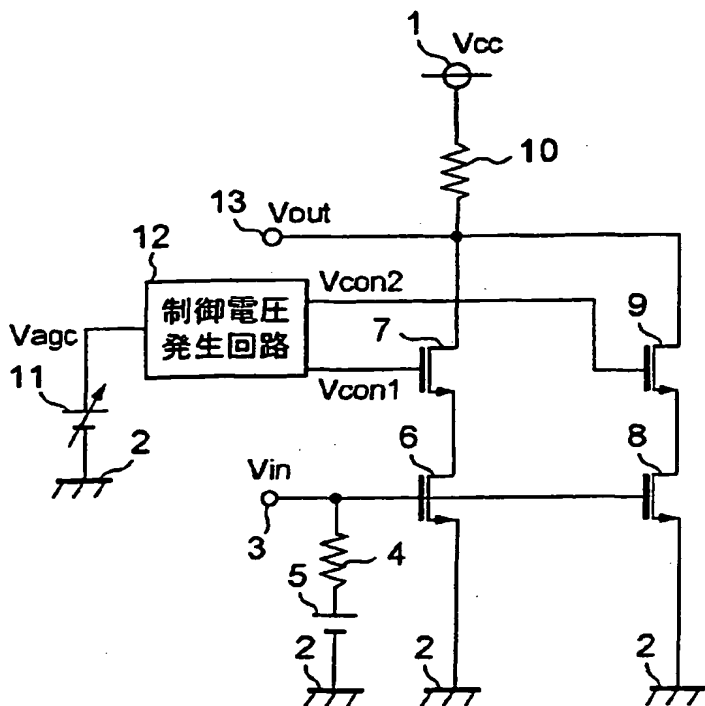
(10) 国際公開番号
WO 2004/027988 A1

- (51) 国際特許分類: H03G 3/10, H03F 1/32
(21) 国際出願番号: PCT/JP2003/011572
(22) 国際出願日: 2003 年 9 月 10 日 (10.09.2003)
(25) 国際出願の言語: 日本語
(26) 国際公開の言語: 日本語
(30) 優先権データ: 特願2002-271707 2002 年 9 月 18 日 (18.09.2002) JP
(71) 出願人 (米国を除く全ての指定国について): ソニー株式会社 (SONY CORPORATION) [JP/JP]; 〒141-0001 東京都品川区北品川6丁目7番35号 Tokyo (JP).
(72) 発明者; および
(75) 発明者/出願人 (米国についてのみ): 大谷 晃一 (OOYA, Koichi) [JP/JP]; 〒141-0001 東京都品川区北品川6丁目7番35号 ソニー株式会社内 Tokyo (JP). 佐久間 剛 (SAKUMA, Tsuyoshi) [JP/JP]; 〒141-0001 東京都品川区北品川6丁目7番35号 ソニー株式会社内 Tokyo (JP).
(74) 代理人: 中村 友之 (NAKAMURA, Tomoyuki); 〒105-0001 東京都港区虎ノ門1丁目2番3号 虎ノ門第一ビル9階 三好内外国特許事務所内 Tokyo (JP).
(81) 指定国 (国内): CN, KR, US.
添付公開書類:
— 国際調査報告書

/続葉有/

(54) Title: VARIABLE GAIN AMPLIFIER

(54) 発明の名称: 可変利得増幅器



(57) Abstract: A variable gain amplifier can improve distortion characteristic (IIP3) in the gain attenuation without deteriorating the characteristic concerning the gain PG and the noise factor NF at the maximum gain. In the variable gain amplifier, a plurality of dual gate type FET are connected in parallel. Each of the dual gate type FET consists of first FET (6, 8) having a gate to which an input signal is applied and second FET (7, 9) cascade-connected to the first FET (6, 8). The amplifier is configured in such a manner that gate control voltage (Vcon1, Vcon2) can be applied from voltage control means to the second FET (7, 9) of each of the dual gate type FET.

(57) 要約: 利得最大時における利得 PG 並びに雑音指数 NF に係る特性を悪化させることなく、利得減衰時における歪み特性 (IIP3) を改善することができる可変利得増幅器である。可変利得増幅器において、入力信号がゲートに印加される第1のFET (6) (8) と第1のFET (6) (8) にカスケード接続される第2のFET (7) (9) とから成るデュアルゲート型FETを複数個並列に接続するとともに、それぞれの第2のFET (7) (9) に対して電圧制御手段から別個にゲート制御電圧 (Vcon1, Vcon2) を印加し得るように構成する。

12...CONTROL VOLTAGE GENERATION CIRCUIT

WO 2004/027988 A1



2文字コード及び他の略語については、定期発行される
各PCTガゼットの巻頭に掲載されている「コードと略語
のガイダンスノート」を参照。